

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP406196567A

PAT-NO: JP406196567A

DOCUMENT-IDENTIFIER: JP 06196567 A

TITLE: FABRICATION OF SEMICONDUCTOR DEVICE

PUBN-DATE: July 15, 1994

INVENTOR-INFORMATION:

NAME

HIGASHIMOTO, MASAYUKI

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|-------------|---------|
| FUJITSU LTD | N/A |

APPL-NO: JP04342938

APPL-DATE: December 24, 1992

INT-CL (IPC): H01L021/90;H01L021/205 ;H01L021/265 ;H01L021/285 ;H01L021/82

US-CL-CURRENT: 438/FOR.433,148/DIG.55

ABSTRACT:

PURPOSE: To fabricate a semiconductor device having antifuses made of amorphous silicon in which writing characteristics are made uniform, leak current is retarded, ON resistance is lowered, and fluctuation of the antifuse is suppressed.

CONSTITUTION: In the fabrication of a semiconductor device where an amorphous silicon film 7 formed at an overlapped part of two layer wirings 3, 9 formed on a substrate 1 while being insulated by an interlayer insulation layer 5 is employed as an antifuse, the amorphous silicon film 7 is deposited by CVD using a mixture gas of disilane ($\text{Si} <\!\!-\!\!> 2 <\!\!-\!\!> \text{H} <\!\!-\!\!> 6 <\!\!-\!\!>$) and diborane ($\text{B} <\!\!-\!\!> 2 <\!\!-\!\!> \text{H} <\!\!-\!\!> 6 <\!\!-\!\!>$) as a material gas.

COPYRIGHT: (C)1994,JPO&Japio

08/07/2002, EAST Version: 1.03.0002

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-196567

(43)公開日 平成6年(1994)7月15日

| | | | | |
|--|-----------|--------------------|--------------------------|--------|
| (51)Int.Cl. ⁵ H 01 L 21/90 21/205 21/265 | 識別記号 A | 府内整理番号 7514-4M | F I | 技術表示箇所 |
| | | 8617-4M 9169-4M | H 01 L 21/ 265 21/ 82 | P F |

審査請求 未請求 請求項の数1(全5頁) 最終頁に続く

| | |
|-----------------------------|--|
| (21)出願番号 特願平4-342938 | (71)出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地 |
| (22)出願日 平成4年(1992)12月24日 | (72)発明者 東本 正之 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内 |
| | (74)代理人 弁理士 井桁 貞一 |

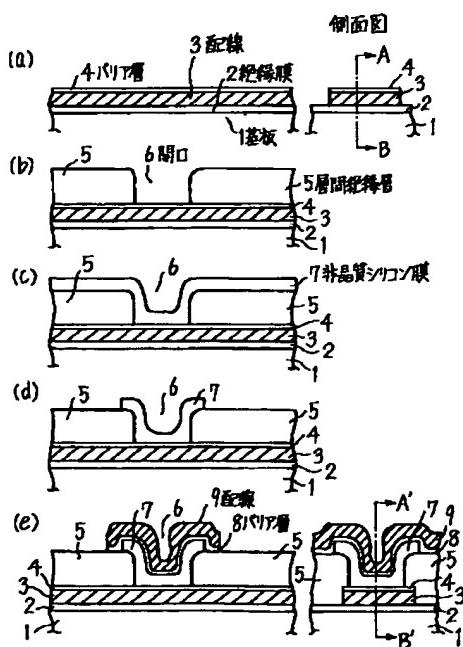
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 アンチヒューズに非晶質シリコンを用いた半導体装置の製造方法に関し、均一な書き込み特性と少ないリーク電流を有し及びON抵抗が低くかつばらつきが小さいアンチヒューズの提供を目的とする。

【構成】 基板1上に層間絶縁層5により互いに絶縁されて形成された2層配線3, 9の重疊部分に、該2層配線3, 9に挟まれて設けられた非晶質シリコン膜7をアンチヒューズとする半導体装置の製造方法において、該非晶質シリコン膜7を、ジシラン(Si₂H₆)及びジボラン(B₂H₆)の混合ガスを原料ガスとするCVD法により堆積することを特徴として構成する。

本発明の実施例断面工程図



1

2

【特許請求の範囲】

【請求項1】 基板(1)上に層間絶縁層(5)により互いに絶縁されて形成された2層配線(3, 9)の重畠部分に、該2層配線(3, 9)に挟まれて設けられた非晶質シリコン膜(7)をアンチヒューズとする半導体装置の製造方法において、

該非晶質シリコン膜(7)を、ジシラン(Si₂H₆)及びジボラン(B₂H₆)の混合ガスを原料ガスとするCVD法により堆積することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアンチヒューズに非晶質シリコンを用いた半導体装置の製造方法に関する。

【0002】近年、半導体装置の使用者が使用の際に任意に回路を構成することができるフィールド・プログラマブル・ゲートアレイ(以下FPGAという。)が広く採用されている。

【0003】このFPGAは、2つの配線が重なる交差点にアンチヒューズが形成されている。FPGAの書き込みは、重なる2配線間に挟まれた非晶質シリコンをして構成されるアンチヒューズに、書き込み電流を流して非晶質シリコンを導電体に変換し、これにより交差する配線間を電気的に接続してなされる。

【0004】従って、使用者が容易に書き込むことができるよう、アンチヒューズの書き込み特性は一様であることが要請される。また、素子動作の信頼性を高めるために、導通後の抵抗(以下ON抵抗といふ。)は十分低いことが要求される。

【0005】

【従来の技術】従来、アンチヒューズを構成する非晶質シリコン膜は、シラン(SiH₄)又はジシラン(Si₂H₆)を原料ガスとするCVD法により堆積されていた。

【0006】しかし、シラン又はジシランを原料とするCVD法により堆積された非晶質シリコン膜は、堆積速度が例えば1~2nm/分と遅いため堆積中に不純物が混入し、その結果リーク電流が増大し、また導通時のON抵抗が高くかつ不均一になるのである。さらに、堆積された非晶質シリコン膜は、堆積初期と堆積後期とでは電気的、結晶学的性質が異なるため正逆方向での耐圧が異なり、書き込み特性に大きなばらつきを生じさせる。

【0007】他方、非晶質シリコン中のダンギングボンドをターミネイトして電気的特性を安定化し、耐圧特性のばらつきを抑制するために、非晶質シリコン膜の堆積後に水素化処理及びP, As, Ar又はFのイオン注入がなされる。

【0008】しかし、堆積後に水素化処理をしても非晶質シリコン膜の安定化に寄与するところは少なく、また非晶質シリコン膜の書き込み特性の均一性の向上も十分で

はない。即ち、上述した不純物混入によるリーク電流の増大、ON抵抗の上昇と不均一性の発生は改善されないし、また、イオン注入の効果は膜厚方向について分布があるため依然として正逆方向の耐圧の差異を生ずる。さらに、イオン注入自体の面内分布から生ずる耐圧の不均一性も無視し得ないのである。

【0009】かかる不都合を回避するために、シラン又はジシランを原料するPCVD(プラズマCVD)法により、高速で堆積された非晶質シリコン膜が用いられる。

10 PCVD法は高速で堆積できるため、堆積された非晶質シリコン膜は不純物が少なくリーク電流、ON抵抗の問題を生じない。

【0010】しかし、PCVD法では堆積直前に下地表面がプラズマに暴露され損傷する。このため、下地層と堆積初期の非晶質シリコン膜との界面における電気的性質と、堆積終了時に堆積された非晶質シリコン膜の上表面層と上部配線との界面における電気特性とが相違し、正逆方向の耐圧特性に差を生ずるのである。また、かかる損傷はリーク電流の増加、ON抵抗の上昇を招く。

20 【0011】これらの不都合は、水素化処理又はイオン注入によっても十分に回復できないことはCVD法と同様であり、その結果、FPGAの書き込み特性は不均一なものとなっていた。

【0012】

【発明が解決しようとする課題】従来、FPGAのアンチヒューズに用いられる、交叉する2配線間に挟まれた非晶質シリコン膜の堆積には、シラン又はジシランを原料ガスとしたCVD法又はPCVD法が用いられていた。

30 【0013】しかし、CVD法は、堆積速度が遅く不純物が混入するためリーク電流が大きく又ON抵抗が高い。さらに耐圧の正逆特性が異なり書き込み特性のばらつきを生ずるという欠点がある。また、PCVD法は、下地表面を損傷して耐圧の正逆特性の差を生じさせ書き込み特性をばらつかせる、ON抵抗を高くし、リーク電流を大きくするという欠点があった。

【0014】さらに、水素化処理又はイオン注入によつて十分に安定化、均一化することが困難であり、またイオン注入自身の不均一性により非晶質シリコン膜のばらつきを招くという問題があった。

40 【0015】本発明は、ダンギングボンドをターミネイトする不純物元素を含む非晶質シリコンを高速に堆積するCVD法を提供することにより、望ましくない不純物の混入及び下地の損傷を生ずることなくアンチヒューズ用非晶質シリコン膜を堆積する手段を提供し、均一な書き込み特性と少ないリーク電流を有し及びON抵抗が低くかつばらつきが小さいアンチヒューズを有する半導体装置の製造方法を提供することを目的とする。

【0016】

50 【課題を解決するための手段】図1は本発明の実施例断

面工程図であり、アンチヒューズの製造工程を表している。なお、図1(a)～(e)は側面図の下層配線3の中心線を含むA-B断面図を表している。

【0017】上記課題を解決するために、本発明の構成は、図1を参照して、基板1上に層間絶縁層5により互いに絶縁されて形成された2層配線3、9の重疊部分に、該2層配線3、9に挟まれて設けられた非晶質シリコン膜7をアンチヒューズとする半導体装置の製造方法において、該非晶質シリコン膜7を、ジシラン(Si₂H₆)及びジボラン(B₂H₆)の混合ガスを原料ガスとするCVD法により堆積することを特徴として構成する。

【0018】

【作用】本発明の構成では、CVD法の原料ガスとして通常非晶質シリコンの堆積に用いられるシラン又はジシランの代わりに、ジシラン(Si₂H₆)とジボラン(B₂H₆)との混合ガスを原料としてCVD法により非晶質シリコン膜を堆積する。

【0019】一般にCVD法による非晶質シリコンの堆積速度は、ジボランの存在により加速される。又シランよりもジシランを用いる方が堆積速度が大きいことが知られている。従って、本構成のごとくジシランを多量のジボランを含む雰囲気中で分解するCVD法において、非晶質シリコンの堆積速度は、通常のシラン又はジシランの分解によるCVD法に較べて著しく高速となる。

【0020】この結果、本構成により堆積された非晶質シリコン膜は、汚染により混入する不純物が少なく、小さなリーク電流と低いON抵抗を有するアンチヒューズ用非晶質シリコン膜となる。

【0021】また、本構成により堆積された非晶質シリコン膜は、堆積時に多量のBを含みこのBによりダンギングリングボンドが安定にターミネイトされている。この堆積時に導入されたBは、イオン注入により導入されたBよりも有効にターミネイトする。さらに、原料ガス中に水素元素が多量に含まれることから水素によるターミネイト量も多い。このため、非晶質シリコン膜は堆積当初から安定にターミネイトされるのである。また、堆積と同時にターミネイトされて堆積するから、膜厚及び面内方向ともに均一にターミネイトされ、耐圧特性のばらつきが小さい。

【0022】さらに、安定化のための水素化処理又はイオン注入を必要としないから、本構成に係る非晶質シリコン膜の均一性を維持することができる。さらに又、本構成はCVD法によるものであるから、PCVD法のごとくアラズマに暴露された下地表面に損傷を生ずることがない。このため、正逆方向の耐圧の差は小さく、書き込み特性は均一になる。また、損傷に基づくリーク電流の増加及びON抵抗の上昇は回避される。

【0023】従って、本構成により堆積された非晶質シリコン膜は、正逆の耐圧特性の差が小さく、また耐圧の

面内分布も少ない。さらに、リーク電流が少なく、ON抵抗が低い。このため、かかる非晶質シリコン膜を用いたアンチヒューズは、書き込み特性が揃い、かつ低いリーク電流と低いON抵抗を有する。また、不純物を制御して導入できるから、プロセス毎の安定性にも優れている。

【0024】なお、非晶質シリコンの堆積と同時にBを導入しても、このBが、堆積速度が遅い場合に混入する汚染不純物の如くリーク電流を増加し又はON抵抗を上昇する事実は、本発明の発明者がした実験では観測されなかった。

【0025】

【実施例】本発明をFPGAに適用した実施例を参照して詳細に説明する。図1(a)を参照して、半導体回路が表面に形成された半導体基板1の表面に、例えば厚さ1μmのSiO₂からなる絶縁膜2を形成し、その上に配線材料、例えば厚さ0.5μmのA1を堆積し、さらにバリア層4として例えば厚さ0.2μmの塗化チタンを堆積したのち、この配線材料及びバリア層4をパターニングして上表面にバリア層4を有する下層配線3を形成する。この配線3は半導体回路の図示されていない回路素子と接続され、ゲートアレイのアンチヒューズで接続されるべき一方の配線を形成する。

【0026】次いで、図1(b)を参照して、配線3を覆い基板上に堆積された例えば厚さ1μmの塗化ガラスからなる層間絶縁膜5に、アンチヒューズが形成されるべき領域を画定する開口6、例えば辺長0.8μmの矩形の開口を開設する。

【0027】次いで、図1(c)を参照して、例えば厚さ100nmの非晶質シリコン膜7を本発明に係るCVD法により堆積する。この非晶質シリコン膜7の堆積条件は、例えば堆積温度は450°C、原料ガス流量はジボラン80SCCM及びジシラン20SCCM、ガス圧1Torrとすることができる。このとき堆積速度は15nm/分であった。この堆積速度は、ジシランを原料ガスとする従来のCVD法での1.5nm/分の約10倍であり、PCVD法での堆積速度30nm/分の1/2に達する。このため、堆積中に非晶質シリコン膜が汚染されることが少ない。

【0028】次いで、図1(d)を参照して、開口6及びその近傍の非晶質シリコン膜7を島状に残して、他を選択的にエッチングして除去する。次いで、図1(e)を参照して、例えば厚さ0.2μmの塗化チタンからなるバリア層8を堆積し、続けて配線材料を、例えば厚さ0.5μmのA1を堆積した後、この配線材料及びバリア層8をパターニングして、開口6を覆い先に形成された配線3と交叉する上層配線9を形成する。

【0029】この上層配線9と下層配線3とは、互いに交叉する点に開設された開口6において、バリア層8、4を介在して非晶質シリコン膜7と接続され、アンチ

ューズを形成する。

【0030】なお、上層配線9と下層配線3は交叉せずに重畠して形成されても良い。かかる工程により製造されたアンチヒューズの特性を、従来のCVD法を用いた方法により製造したものと比較すると以下の通りであった。なお、アンチヒューズの製造工程、寸法及び構成は、CVDの堆積条件を除き全て同一である。

【0031】正逆方向の書き込み電圧について、本実施例のアンチヒューズの正及び逆方向耐圧は、共に9.5～10.0Vであり、正逆方向の耐圧の差は見られなかつた。これに対し、従来のCVD法により製造したアンチヒューズの耐圧は、正方向で10.0～10.5V、逆方向では10.5～11.0Vであり、正逆方向の耐圧の差は0.5Vである。この結果は、本発明により正逆方向の耐圧差が解消されたことを示している。

【0032】さらに、前記比較の対象とされたアンチヒューズにおいて、非晶質シリコン膜7の厚さを150nmとし他の条件を同一としたときのアンチヒューズの特性は以下のようであった。

【0033】即ち、本発明にかかるアンチヒューズの耐圧は、正逆方向ともに14.0～14.5Vであり、正逆方向の差は見られなかつた。これに対して、従来のCVD法により製造したアンチヒューズの耐圧は、正方向で15.0～15.5V、逆方向では17.0～17.5Vであり、正逆方向の耐圧の差は2.0Vと非晶質シリコン膜7の厚さが薄いものより大きくなっている。

【0034】従って、本発明によれば、耐圧を高くするため非晶質シリコン膜7を厚くしても、正逆方向の耐圧差が大きくなることはなく、さらに、意図しない膜厚分布が生じても、正逆方向の耐圧差の分布が発生することはないのである。

【0035】次に、ON抵抗について、本実施例のアン

チヒューズは60～100Ωであった。これに対して従来のCVD法により製造したアンチヒューズのON抵抗は、300～500Ωであり、本発明により略1/5に改善された。

【0036】さらに、リーク電流についての本発明と従来方法との比較は、書き込み電圧が10Vとなるように非晶質シリコン膜7の厚さを調整し、他の条件は上記実施例と同じくした場合について行った。その結果は次の通りである。

10 【0037】本発明に係る方法により製造されたアンチヒューズのリーク電流は、ヒーズ一か所について2～6nAであった。これに対して、従来のCVD法により製造したものは、50～70nAであった。従って、本発明により一桁以上の改善がなされている。

【0038】

【発明の効果】上述したように本発明によれば、CVD法を用いて非晶質シリコンを高速に堆積することにより、汚染が少なく、下地損傷もない均一な膜質のアンチヒューズ用非晶質シリコン膜を堆積することができるの

20 で、書き込み特性の揃った、低リーク電流かつ低ON抵抗のアンチヒューズを有する半導体装置の製造方法を提供でき、半導体装置の性能向上に寄与するところが大きい

【図面の簡単な説明】

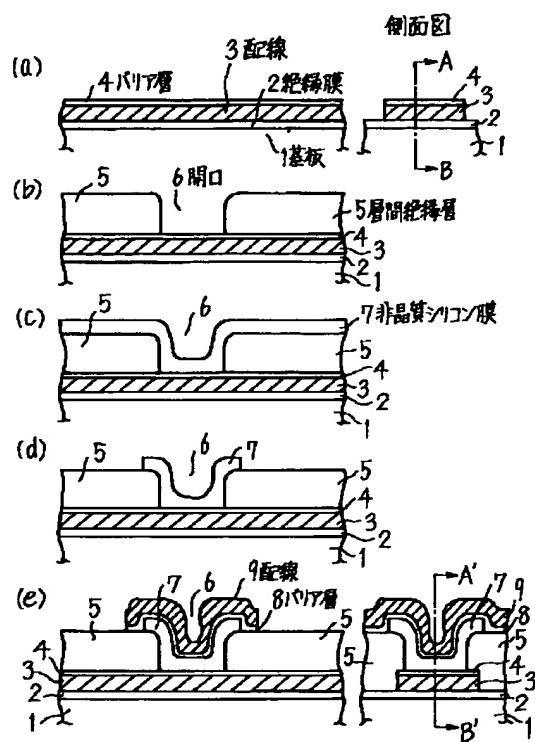
【図1】本発明の実施例断面工程図

【符号の説明】

- 1 基板
- 2 絶縁膜
- 3, 9 配線
- 4, 8 バリア層
- 5 層間絶縁膜
- 6 開口
- 7 非晶質シリコン膜

【図1】

本発明の実施例断面工程図



フロントページの続き

(51) Int.Cl.⁵

識別記号 序内整理番号

F I

技術表示箇所

H 01 L 21/285

C 7376-4M

21/82